

Sistemas de Computação

Nona Aula

Haroldo Gambini Santos

Universidade Federal de Ouro Preto - UFOP

2 de setembro de 2009

1 Melhorando o Desempenho: Pipelines

Introdução

Termos Importantes de Desempenho:

Latência quantidade de tempo que uma única operação demora para ser executada;

Throughput¹ taxa na qual as operações são executadas. Ex.: operações por segundo.

¹vazão ou taxa de rendimento

Introdução



Fluxo das Instruções

BI	INSTR1	INSTR2	INSTR3	INSTR4	INSTR5
DI		INSTR1	INSTR2	INSTR3	INSTR4
LR			INSTR1	INSTR2	INSTR3
EI				INSTR1	INSTR2
ER					INSTR1

Fluxo das Instruções

BI	INSTR1	INSTR2	INSTR3	INSTR4	INSTR5
DI		INSTR1	INSTR2	INSTR3	INSTR4
LR			INSTR1	INSTR2	INSTR3
EI				INSTR1	INSTR2
ER					INSTR1

Fluxo das Instruções

BI	INSTR1	INSTR2	INSTR3	INSTR4	INSTR5
DI		INSTR1	INSTR2	INSTR3	INSTR4
LR			INSTR1	INSTR2	INSTR3
EI				INSTR1	INSTR2
ER					INSTR1

Fluxo das Instruções

BI	INSTR1	INSTR2	INSTR3	INSTR4	INSTR5
DI		INSTR1	INSTR2	INSTR3	INSTR4
LR			INSTR1	INSTR2	INSTR3
EI				INSTR1	INSTR2
ER					INSTR1

Fluxo das Instruções

BI	INSTR1	INSTR2	INSTR3	INSTR4	INSTR5
DI		INSTR1	INSTR2	INSTR3	INSTR4
LR			INSTR1	INSTR2	INSTR3
EI				INSTR1	INSTR2
ER					INSTR1

Duração do Ciclo

Divisão Homogênea da Lógica entre Estágios

$$ciclo_{com_pipeline} = \frac{ciclo_{sem_pipeline}}{nr_de_estagios} + latencia_latch$$

Divisão Não Homogênea

Considera a latência do estágio mais demorado e o tempo do *latch*.

Aumento do Desempenho

- Divisão de instruções em estágios
 - Sobreposição da execução
 - Menor tempo de ciclo



- Aumento do *Throughput*

Caso ideal

- SP Sem *pipeline*: tempo de ciclo 25 ns
- CP Com *pipeline* de 5 estágios: tempo de ciclo 6 ns
- SP: throughput: 4×10^7 instruções por segundo
- CP: throughput: $1,67 \times 10^8$ instruções por segundo

Aumento do Desempenho

- Divisão de instruções em estágios
 - Sobreposição da execução
 - Menor tempo de ciclo



- Aumento do *Throughput*

Caso ideal

- SP Sem *pipeline*: tempo de ciclo 25 ns
- CP Com *pipeline* de 5 estágios: tempo de ciclo 6 ns
- SP: throughput: 4×10^7 instruções por segundo
- CP: throughput: $1,67 \times 10^8$ instruções por segundo

Aumento do Desempenho

- Divisão de instruções em estágios
 - Sobreposição da execução
 - Menor tempo de ciclo



- Aumento do *Throughput*

Caso ideal

- SP Sem *pipeline*: tempo de ciclo 25 ns
- CP Com *pipeline* de 5 estágios: tempo de ciclo 6 ns
- SP: throughput: 4×10^7 instruções por segundo
- CP: throughput: $1,67 \times 10^8$ instruções por segundo

Aumento do Desempenho

- Divisão de instruções em estágios
 - Sobreposição da execução
 - Menor tempo de ciclo



- Aumento do *Throughput*

Caso ideal

- SP Sem *pipeline*: tempo de ciclo 25 ns
- CP Com *pipeline* de 5 estágios: tempo de ciclo 6 ns
- SP: throughput: 4×10^7 instruções por segundo
- CP: throughput: $1,67 \times 10^8$ instruções por segundo

Pipelines

Riscos

- Dependência entre instruções
- Desvios
- Acesso à memória principal
- ...

Riscos

Leitura Após Escrita

- INSTR1: $r_2 \leftarrow r1 + r3$
- INSTR2: $r_4 \leftarrow r2 + r3$
- Instrução que faz leitura não pode progredir além de LR enquanto instrução de escrita não passar de ER
- Inserção de “bolhas”

Riscos

Leitura Após Escrita

- INSTR1: $r_2 \leftarrow r_1 + r_3$
- INSTR2: $r_4 \leftarrow r_2 + r_3$
- Instrução que faz leitura não pode progredir além de LR enquanto instrução de escrita não passar de ER
- Inserção de “bolhas”

BI	INSTR1	INSTR2				
DI		INSTR1	INSTR2			
LR			INSTR1	INSTR2	INSTR2	INSTR2
EI				INSTR1	<i>bolha</i>	<i>bolha</i>
ER					INSTR1	<i>bolha</i>

BI	INSTR1	INSTR2				
DI		INSTR1	INSTR2			
LR			INSTR1	INSTR2	INSTR2	INSTR2
EI				INSTR1	<i>bolha</i>	<i>bolha</i>
ER					INSTR1	<i>bolha</i>

BI	INSTR1	INSTR2				
DI		INSTR1	INSTR2			
LR			INSTR1	INSTR2	INSTR2	INSTR2
EI				INSTR1	<i>bolha</i>	<i>bolha</i>
ER					INSTR1	<i>bolha</i>

BI	INSTR1	INSTR2				
DI		INSTR1	INSTR2			
LR			INSTR1	INSTR2	INSTR2	INSTR2
EI				INSTR1	<i>bolha</i>	<i>bolha</i>
ER					INSTR1	<i>bolha</i>

BI	INSTR1	INSTR2				
DI		INSTR1	INSTR2			
LR			INSTR1	INSTR2	INSTR2	INSTR2
EI				INSTR1	<i>bolha</i>	<i>bolha</i>
ER					INSTR1	<i>bolha</i>

BI	INSTR1	INSTR2				
DI		INSTR1	INSTR2			
LR			INSTR1	INSTR2	INSTR2	INSTR2
EI				INSTR1	<i>bolha</i>	<i>bolha</i>
ER					INSTR1	<i>bolha</i>

Riscos

Desvios					
BI	Desvio	<i>Bolha</i>	<i>Bolha</i>	<i>Bolha</i>	Instrução
DI		Desvio	<i>Bolha</i>	<i>Bolha</i>	<i>Bolha</i>
LR			Desvio	<i>Bolha</i>	<i>Bolha</i>
EI				Desvio	<i>Bolha</i>
ER					Desvio

Riscos

Desvios					
BI	Desvio	<i>Bolha</i>	<i>Bolha</i>	<i>Bolha</i>	Instrução
DI		Desvio	<i>Bolha</i>	<i>Bolha</i>	<i>Bolha</i>
LR			Desvio	<i>Bolha</i>	<i>Bolha</i>
EI				Desvio	<i>Bolha</i>
ER					Desvio

Riscos

Desvios					
BI	Desvio	<i>Bolha</i>	<i>Bolha</i>	<i>Bolha</i>	Instrução
DI		Desvio	<i>Bolha</i>	<i>Bolha</i>	<i>Bolha</i>
LR			Desvio	<i>Bolha</i>	<i>Bolha</i>
EI				Desvio	<i>Bolha</i>
ER					Desvio

Riscos

Desvios					
BI	Desvio	<i>Bolha</i>	<i>Bolha</i>	<i>Bolha</i>	Instrução
DI		Desvio	<i>Bolha</i>	<i>Bolha</i>	<i>Bolha</i>
LR			Desvio	<i>Bolha</i>	<i>Bolha</i>
EI				Desvio	<i>Bolha</i>
ER					Desvio

Riscos

Desvios					
BI	Desvio	<i>Bolha</i>	<i>Bolha</i>	<i>Bolha</i>	Instrução
DI		Desvio	<i>Bolha</i>	<i>Bolha</i>	<i>Bolha</i>
LR			Desvio	<i>Bolha</i>	<i>Bolha</i>
EI				Desvio	<i>Bolha</i>
ER					Desvio

Minimizando o Desempenho do Pipeline

- Execução fora de ordem
- Predição de Desvio